

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 3 月 6 日 (06.03.2003)

PCT

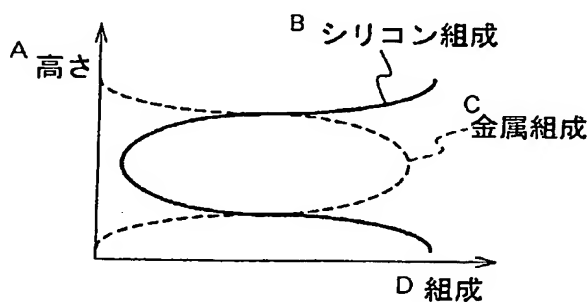
(10) 国際公開番号
WO 03/019643 A1

- (51) 国際特許分類⁷: H01L 21/316
- (21) 国際出願番号: PCT/JP02/08453
- (22) 国際出願日: 2002 年 8 月 22 日 (22.08.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-252258 2001 年 8 月 23 日 (23.08.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 渡部 平司 (WATANABE, Heiji) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 工藤 実, 外 (KUDOH, Minoru et al.); 〒140-0013 東京都品川区南大井6丁目24番10号 カドヤビル6階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE HAVING HIGH-PERMITTIVITY INSULATION FILM AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 高誘電率絶縁膜を有する半導体装置とその製造方法



A...HEIGHT
B...SILICON COMPOSITION
C...METAL COMPOSITION
D...COMPOSITION

(57) Abstract: A semiconductor device comprising a substrate, and an insulation film formed directly or indirectly on the substrate. The insulation film contains a metal silicate film, and a silicon concentration in the metal silicate film is higher at the film-thickness-direction center than at upper and lower portions thereof.

(57) 要約:

半導体装置は、基板と、前記基板の直接上あるいは間接的に上に形成された絶縁膜を具備する。前記絶縁膜は、金属シリケート膜を含み、前記金属シリケート膜中のシリコン濃度は、膜厚方向の中央部で、上部および下部より高い。

WO 03/019643 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PC7ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

高誘電率絶縁膜を有する半導体装置とその製造方法

技術分野

- 5 本発明は、半導体装置およびその製造方法に関し、特に高性能MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 等のような高誘電率絶縁膜を有する半導体素子の構造およびその製造方法に関する。

10 背景技術

シリコン酸化膜は、プロセス上の安定性や優れた絶縁特性を有し、MOSFETのゲート絶縁膜材料として用いられている。近年の素子の微細化と共にゲート絶縁膜の薄層化が進んでおり、ゲート長が100nm以下のデバイスではスケーリング則の要請からゲート絶縁膜で
15 あるシリコン酸化膜の厚さは1.5nm以下であることが必要となっている。しかしながら、このような極薄の絶縁膜を用いる場合、ゲートバイアスの印加時に絶縁層を流れるトンネル電流がソース/ドレイン電流に対して無視できなくなり、MOSFETの高性能化と低消費電力化における大きな課題となっている。

- 20 そこで、実効的なゲート絶縁膜厚を薄くし、かつトンネル電流をデバイス設計上の許容値内に抑えるための研究開発が進められている。その一つの方法では、シリコン酸化膜中に窒素を添加することにより、純粋なシリコン酸化膜に比べて、誘電率が増加する。こうして、物理的な膜厚を薄層化することなしに実効的（電氣的）にゲート絶縁
25 層の膜厚が減少する。しかしながら、この方法では、シリコン酸化膜への窒素添加による高誘電率化には限界があり、また界面欠陥によるキャリアの移動度の低下が報告されている。

さらに、素子の微細化が進んだ世代の技術として、シリコン酸化膜に代えて、誘電率 10 以上の薄膜材料またはこれらの材料とシリコンとの複合材料であるシリケート薄膜をゲート絶縁膜に採用する試みがなされている。このような高誘電率材料としては Al_2O_3 、 ZrO_2 、 HfO_2 および Y_2O_3 などの希土類元素酸化物、さらには La_2O_3 のなどのランタノイド系希土類元素の酸化物が候補材料として検討されている。これらの高誘電率膜を用いればゲート長を微細にしてもスケーリング則に則ったゲート絶縁膜容量を保持しつつ、トンネル電流を防げるゲート厚さを達成できるというのがその根拠である。なお、ゲート絶縁膜の種類によらず、ゲート絶縁膜がシリコン酸化膜であると仮定して、ゲート容量から逆算して得られる絶縁層の膜厚をシリコン酸化膜換算膜厚と呼ぶ。すなわち、絶縁膜とシリコン酸化膜の比誘電率をそれぞれ ϵ_h 、 ϵ_o とし、絶縁膜の厚さを d_h とした時、シリコン酸化膜換算膜厚 d_e は

$$d_e = d_h (\epsilon_o / \epsilon_h)$$

となる。 ϵ_o に較べて大きな誘電率 ϵ_h をもった材料を用いれば絶縁膜が厚くても薄いシリコン酸化膜と同等になりうることを示している。シリコン酸化膜の比誘電率 ϵ_o は 3.9 程度なので、例えば $\epsilon_h = 3.9$ の高誘電体膜を用いれば、15 nm のゲート厚さで 1.5 nm のシリコン酸化膜換算膜厚になり、トンネル電流を激減できる。

一方、半導体メモリの開発においては、メモリセル面積の縮小によりデータを電荷として保持する容量素子の構成には厳しい条件が課せられ、より小さなセル面積に十分な量の電荷を保持する技術が要求されている。この要求を満足するための方策としては、容量素子に微細な凹凸構造を形成して素子面積を増大させる技術に加えて、容量素子を構成する絶縁膜の高誘電率化が進められている。

上述のように、次世代 MOSFET の開発では、高誘電率材料をゲ

ート絶縁膜材料として採用することが検討されており、高誘電率薄膜としては上記の金属酸化物薄膜やシリケート薄膜が有望である。これら二つの候補材料の特徴としては、金属酸化物薄膜は一般に高い誘電率を有し、物理膜厚に対してシリコン酸化膜換算膜厚を劇的に低減することが可能である。

しかしながら、これらの高誘電率薄膜は比較的低い温度領域から結晶化（多結晶状態）する。その結果、結晶同士の境界（結晶粒界）が発生し、これらの粒界での絶縁特性の劣化や、結晶化に伴う膜厚の面内不均一性などが指摘されている。このため、ゲート絶縁膜としての熱安定性の確保がデバイス応用上の技術的課題となっている。

これに対して金属酸化物とシリコンとの3元系であるシリケート材料は、金属酸化物材料に比べて誘電率は低いものの、シリコン酸化膜に対しては高い誘電率を示す。また上記の金属酸化物材料が結晶化しやすいのに対して、高温下においても非晶質状態を保ち、熱的な構造（特性）変化を伴わない。従って、シリケート材料は従来のシリコン酸化膜と同様の優位性を有している。さらに膜組成を広い範囲で設定することが可能であり、シリコン酸化膜に%オーダーの金属元素を添加した場合でも誘電率が増大することが報告されている。

また高誘電率薄膜のデバイスへの応用では、シリコン基板ならびにゲート電極材料との界面電気特性が重要である。一般に金属酸化物とシリコン基板との界面は、シリコン酸化膜とシリコンとの界面に比べて電気特性が悪く、界面欠陥密度は1桁以上高い。界面電気特性を改善する手段としては、金属シリケートの有効性が指摘されている。

このように金属シリケート材料は次世代の高誘電率ゲート絶縁膜の有力な候補材料として注目されているが、MOSFETへの適用に向けては以下の課題が存在する。

まず、シリコン基板やゲート電極材料との界面電気特性をさらに改

善する必要がある。このためには金属シリケート中のシリコン組成をより高くして、シリコン酸化膜との界面構造により近づける方策が考えられる。一方、金属シリケートの結晶化温度は金属組成が高くなるに従い低温化することが知られており、優れた熱安定性を得るために

5 はシリコン組成を高くする必要がある。しかしながらシリケート中のシリコン組成の増加と共に誘電率が低下する。このため、ゲート絶縁層の高誘電率化と熱安定性向上とはトレードオフの関係となる。このように、金属シリケート材料は種々の優れた特性を持つ反面、膜組成の設定においては上記のようなトレードオフの関係があり、デバイス

10 応用上最適な金属シリケート材料またはゲート絶縁膜構造の提案が求められている。

上述の指摘に加え、高誘電率ゲート絶縁膜のもう一つの課題として、絶縁体材料のバンドギャップに関する問題がある。一般に高誘電率材料の誘電率とバンドギャップには負の相関があり、誘電率の高い

15 材料ではバンドギャップが狭い。従ってシリコンとの接合界面で電子および正孔に対するエネルギーバンドの不連続量が小さい場合には、シリコン基板あるいはゲート電極側のキャリアが熱的に励起され、ゲート絶縁膜を流れる電流成分が増加する問題が生じる。

以上のMOSFETにおけるゲート絶縁膜が抱える技術的な課題

20 は、素子世代こそ異なるが本質的には容量素子を構成する絶縁膜に関しても同様であり、高い誘電率と熱安定性、さらには界面電気特性に優れた絶縁膜構造の提案が必要となる。

上記記載と関連して、高誘電率体及びその製造方法が特開平5-275646に開示されている。この引例では、高誘電率体Taおよび

25 Hfからなる酸化物であって、元素のモル比率が下記式で示される範囲の組成を有する。

$$0.01 \leq \text{Hf} / (\text{Ta} + \text{Hf}) \leq 0.4$$

真空槽内に基体が設置され、真空槽内に原料ガスが導入され、外部よりエネルギーが印加されて原料ガスを分解する。これにより、基体上に薄膜高誘電率体が気相成長される。原料ガスとしてT a系ガス、H f系ガス、酸素系ガスを用いて、薄膜高誘電率体の元素のモル比率が下記式で示される範囲の組成となるように組成が制御される。0 .
5
$$0.1 \leq H f / (T a + H f) \leq 0.4$$

また、強誘電体キャパシタが特開平10-294432に開示されている。この引例では、強誘電体キャパシタは、半導体基体と電極との間に強誘電体膜をはさんだ構造を有する。半導体基体と強誘電体膜との間および強誘電体膜と電極との間の少なくとも一方に、カルシウム、ストロンチウムおよびバリウムからなる群より選ばれた少なくとも一種類以上のアルカリ土類金属元素のフッ化物からなる反応および/または拡散防止膜が設けられている。

また、高誘電率シリケート・ゲート誘電体が特開平11-135774に開示されている。この引例では、集積回路上に電界効果デバイスを製作する方法は、単結晶シリコン基板を提供するステップと、基板上に金属シリケート誘電層を形成するステップと、金属シリケート誘電層に伝導性ゲートを形成するステップとからなる。金属シリケート誘電層を形成するとき、基板上に清浄なS iを露出し、S i表面に第1の金属を蒸着し、不活性環境で前記基板をアニールすることによって、基板上に第1の金属の珪化物の層を形成し、第1の金属の珪化物の層を酸化することによって、金属シリケート誘電層を形成する。または、金属シリケート誘電層を形成するとき、酸化環境で第1金属とシリコンを基板上に蒸着することによって、基板上に少なくとも部分的に酸化された層を形成し、基板を酸化環境でアニールが行われる。または、金属シリケート誘電層を形成するとき、基板上に清浄なS iを露出し、S i表面に部分的に還元された金属シリケートを蒸着

し、酸素環境で前記部分的に還元された金属シリケート基板をアニールすることによって、金属のシリケート誘電層を形成する。

また、この引例では、電界効果デバイスは、単結晶シリコン半導体チャンネル領域と、前記チャンネル領域に重ねられた金属シリケート・ゲート誘電体とを備えている。金属シリケートは、ジルコニウム・シリケート、バリウム・シリケート、セリウム・シリケート、亜鉛シリケート、トリウム・シリケート、ビスマス・シリケート、ハフニウム・シリケート、タンタル・シリケート、及びそれらの組み合わせから成るグループから選択される。ゲート誘電体を覆う導電ゲートとを有する。

また、絶縁体材料が特開平 1 1 - 1 8 6 5 2 3 に開示されている。この引例では、絶縁体は、 Bi_2SiO_5 中に原子濃度比 Bi/Ti が 3 以上で Ti を含有した結晶性物質を有する。絶縁膜は、 Bi を含む金属化合物と Ti を含む金属化合物とからなる原料を加熱して気化し、これら気化ガスを、不活性キャリアガス及び酸素ガスと共に、所定温度に加熱保持した Si 基板上に、所定圧力で、同時に供給することにより形成される。

また、半導体素子及び誘電体膜の形成方法が特開 2 0 0 0 - 3 2 3 5 9 1 に開示されている。この引例では、シリコン基板の上に単結晶シリコン層がエピタキシャル成長される。オルトリビスマスを気化させたものと酸素ガスとが反応室内に導入され、基板を高温に保持することにより、 Bi と Si と酸素を相互拡散させて、ビスマスシリケート膜が形成される。さらに、ビスマスシリケート膜の上に強誘電体膜である BIT 膜が形成される。その後、基板上にポリシリコン膜が堆積された後、ポリシリコン膜、 BIT 膜及びビスマスシリケート膜が順次パターニングされる。こうして、ゲート電極と記憶部とバッファ層とが形成される。チャンネル領域の浸食に起因する MFISFET

の特性の悪化を防止することができ、バッファ層と記憶部との界面付近の構造も良好になる。

発明の開示

- 5 従って、本発明の目的は、絶縁膜層の界面電気特性、リークカレント抑制効果ならびに耐熱性を改善することができる高誘電率絶縁膜とその製造方法を提供することにある。

また、本発明の他の目的は、高誘電率絶縁膜として金属シリケート膜を有する半導体装置とその製造方法を提供することにある。

- 10 本発明の観点では、半導体装置は、金属シリケート膜を絶縁膜として有し、前記金属シリケートは、下層部、中央部及び上層部を有する。前記金属シリケート膜中のシリコン濃度が、前記上層部において、前記中央部より高い。

- また、本発明の他の観点で、半導体装置は、金属シリケート膜を絶縁膜として有し、前記金属シリケートは、下層部、中央部及び上層部を有する。前記金属シリケート膜中のシリコン濃度が、前記下層部と前記上層部において、前記中央部より高い。
- 15

- また、本発明の他の観点で、半導体装置は、基板と、前記基板の直接上あるいは間接的に上に形成された絶縁膜を具備し、前記絶縁膜は、金属シリケート膜を含み、前記金属シリケートは、下部、中央部及び上部を有する。前記金属シリケート膜中のシリコン濃度は、前記中央部で、前記上部および前記下部より高い。
- 20

ここで、前記基板は、シリコン基板であり、前記金属シリケート膜は、前記基板に直接接していてもよい。

- 25 また、前記金属シリケート膜は、ポリシリコン膜、ポリサイド膜およびシリサイド膜のうちの少なくとも1つを介して前記基板に接していてもよい。

このとき、半導体装置は、前記基板上に形成された拡散層を更に具備し、前記絶縁膜は、ゲート酸化膜として機能することが望ましい。

また、前記絶縁膜は、層間絶縁膜を介して前記基板上に形成され、前記絶縁膜が、キャパシタのための容量性絶縁膜であってもよい。

5 ここで、半導体装置は、前記絶縁膜の上表面に接して形成された導電膜を更に具備してもよい。また、前記金属シリケート膜は、前記導電膜に接していてもよい。また、前記導電膜の前記金属シリケート膜に接する部分は、ポリシリコンゲルマニウム、ポリシリコン、ポリサイドおよびシリサイドのうちの1つによって形成されていることが望
10 ましい。

また、前記金属シリケート膜中のシリコン濃度が連続的に変化していてもよいし、階段状に変化していてもよい。

前記金属シリケート膜は、Zr、Hf、Ti、Ta、Al、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luからなるグループの内の1又は複
15 数の元素を含んでいることが望ましい。

本発明の他の観点では、半導体装置の製造方法は、シリコンを含む第1材料ガスを第1流量で供給し、少なくとも1つの金属元素を含む第2材料ガスを第2流量で供給して半導体基板上に金属シリケート膜
20 の形成を開始するステップ(a)と、前記第1材料ガスの流量を前記第1流量から第3流量に変え、前記第2材料ガスの流量を前記第2流量から第4流量に変えて、前記半導体基板上に前記金属シリケート膜の形成を継続するステップ(b)とにより達成される。前記第1流量と前記第2流量の比は、前記第3流量と前記第4流量比より大きい。

25 半導体装置の製造方法は、前記第1材料ガスの流量を前記第3流量から第5流量に変え、前記第2材料ガスの流量を前記第4流量から第6流量に変えて前記半導体基板上に前記金属シリケート膜の形成を完

了するステップ（c）を更に具備してもよい。前記第3流量と前記第4流量の比は、前記第5流量と前記第6流量比より小さい。

更に、前記ステップ（c）の後、前記金属シリケート膜の熱処理を行うことが更に望ましい。

- 5 前記第1材料ガスは、前記第1流量から前記第3流量に連続的に変えられ、前記第2材料ガスは、前記第2流量から前記第4流量に連続的に変えられることが望ましい。代わりに、前記第1材料ガスは、前記第1流量から前記第3流量にステップ状に変えられ、前記第2材料ガスは、前記第2流量から前記第4流量にステップ状に変えられても
10 よい。

前記第2材料ガスは、Zr、Hf、Ti、Ta、Al、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luからなるグループの内の1又は複数の元素を含むことが望ましい。

- 15 本発明の他の観点では、半導体装置は、半導体基板と、ゲート絶縁膜として前記半導体基板上に形成された金属シリケート膜と、前記金属シリケート膜上に形成されたゲート電極とを具備する。前記金属シリケート膜の誘電率は、前記金属シリケート膜の厚さ方向に変化して
いて、中央部において最も大きい。

- 20 このとき、前記金属シリケート膜は、シリコンのバンドギャップより大きいバンドギャップを有し、前記金属シリケート膜は、下部層、中央部層、上部層を具備し、前記下部層と前記上部層の各々のバンドギャップは、前記中央部層のそれより大きく、前記中央部層の誘電率は、前記下部層と前記上部層の誘電率よりおおいことが望ましい。

- 25 前記誘電率は連続的に変化していてもよいし、あるいはステップ状に変化していてもよい。

また、本発明の他の観点では、半導体装置は、基板に形成された絶

縁膜と、前記絶縁膜上形成された下部電極と、前記下部電極上に形成された金属シリケート膜と、前記金属シリケート膜上に形成された上部電極とを具備する。前記金属シリケート膜の誘電率は、前記金属シリケート膜の厚さ方向に変化していて、中央部において最も大きい。

- 5 前記誘電率は、連続的に変化していてもよいし、ステップ状に変化していてもよい。

図面の簡単な説明

図 1 は、本発明の半導体装置における構造を示す断面図である。

- 10 図 2 は、図 1 に示される構造における絶縁膜の組成プロファイルを示す図である。

図 3 は、膜厚方向に組成が変調されたシリケート絶縁層から成る MOS 構造のエネルギーバンドを示す図である。

- 15 図 4 A から 4 C は、本発明の第 1 実施例による半導体装置を製造する方法を示す断面図である。

図 5 A から 5 C は、本発明の第 2 実施例による半導体装置を製造する方法を示す断面図である。

図 6 は、本発明の第 2 実施例による半導体装置の製造に用いられる成膜装置の構造を示す断面図である。

- 20 図 7 A から図 7 C は、 poly-Si/Hf シリケート界面におけるボイドの観察例を示す写真である。

図 8 は、 $\text{poly-Si/Hf}_x\text{Si}_{1-x}\text{O}_2$ 界面におけるボイド密度のシリケート表面 Hf 濃度依存性を示すグラフである。

- 25 発明を実施するための最良の形態

以下に、添付図面を参照して、本発明の高誘電率絶縁膜を有する半導体装置について詳細に説明する。

図 1 は、本発明の高誘電率絶縁膜を有する半導体装置の構造を示す断面図である。シリコン基板 101 上に、絶縁膜 102 が形成され、絶縁膜 102 の上にはポリシリコン電極 103 が形成されている。ポリシリコン電極 103 は、ポリシリコンゲルマニウム電極と置換することができる。絶縁膜 102 は、金属シリケート膜を含んでいる。すなわち、絶縁膜 102 全体が金属シリケート膜であっても良いし、下部あるいは上部に他の絶縁膜を有しても良い。以下の説明では、絶縁膜 102 は金属シリケート膜のみからなる。

図 2 は、金属シリケート膜 102 の金属とシリコンの組成を示す図である。本発明の金属シリケート膜 102 においては、図 2 に示されるように、金属組成は膜中央部で極大値を持ち、膜の下部または上部で最小となっている。シリコン組成は金属組成と補完の関係にあり、膜中央部で極小値を持ち膜の下部と上部で最大となっている。この組成変調構造の一例として、膜中央部分でシリコン組成がゼロとなる金属酸化物層とシリコン組成変調を有した金属シリケート層との積層構造が含まれる。また、膜の上層部、および／または、下層部で金属組成がゼロとなる酸化膜と金属シリケート層との積層構造も含まれる。

本発明に係る金属シリケート膜がゲート絶縁膜として用いられる場合には、金属シリケートの誘電率が金属濃度の増大と共に高くなるので、図 1 に示される構造では膜中央部分の誘電率を高くできる点が挙げられる。また上下界面に向けてシリコン濃度が連続的若しくは階段状に増大し、シリコン基板ならびにポリシリコンゲートやポリシリコンゲルマニウムゲート電極との界面では、ゲート絶縁膜の組成はシリコン酸化膜に近い値となる。従ってこれらの界面電気特性はシリコン酸化膜／シリコン界面に準じたものとなり、従来の金属酸化膜／シリコンあるいは金属シリケート／シリコン界面に比べて界面電気特性に優れた接合を実現することができる。さらに、シリコン酸化膜は通常

の高誘電率材料に比べて広いバンドギャップを有するので、図 3 に示されるように、シリコン組成が高い界面近傍ではバンドギャップが広がる。従ってこれらの界面でのバンド不連続量が大きくなり、シリコン基板およびゲート電極でキャリアが熱的に励起された場合でも、ゲ

5 ゲート絶縁膜を流れる電流成分を抑制することができる。

加えて、本発明のシリケート絶縁膜によれば、ゲート絶縁膜の耐熱性の向上が挙げられる。上述のように金属組成が高いシリケートの結晶化温度は比較的低い、図 1 に示される構造では金属組成の高い層が、結晶化温度の高い高シリコン組成層で挟まれた積層構造となっ

10 ている。このため、高金属組成の膜中央部分の結晶化温度を高くすることが可能である。この結果、ゲート絶縁膜として電氣的に同等容量の MOS 形成においては、本発明で示された組成変調を有するゲート絶縁膜構造の方が、均一組成の場合に比べて優れた耐熱性を実現することが可能となる。

15 更に、本発明のシリケート絶縁膜では、ポリシリコン (poly-Si) (あるいはポリシリコンゲルマニウム (poly-SiGe)) 電極とゲート絶縁膜界面の特性が改善される。一般に poly-Si (あるいは poly-SiGe)) 電極は、LPCVD 法等により高誘電率膜上に形成されるが、poly-Si (あるいは poly-SiGe)) 電極/高誘電率膜の界面には、ボイドが形成される。図 7 A から 7 C は、このようなボイドの観察例を示す。図 7 A と図 7 B は、Hf シリケート膜上に LPCVD で poly-Si 膜堆積したときの構造の透過型電子顕微鏡による断面観察例である。Hf シリケート膜の表面の組成は、図 7 A と 7 B において、それぞれ、 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($x \approx 1.0$)、 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($x \approx 0.3$) である。資料の界面には、図中の矢印で示されるように、直径約 30 nm、高さ約 10 nm のボイドが観察される。一方、図 7 C は、 SiO_2

20

25

上に p o l y - S i 膜を堆積したときの構造の断面観察例である。 p o l y - S i / S i O₂ 界面には上記のようなボイドは観察されない。このようなボイドは、電極 / 高誘電率絶縁膜界面の空乏化を引き起こす。結果として、ゲート絶縁膜の換算膜厚を増加させるため、ゲート

5 絶縁膜として高誘電率膜を使用するメリットが無くなる。

このようなボイドの形成は、本発明の高誘電率膜の S i 濃度を p o l y - S i / 高誘電率膜界面において高くしたときの構造により回避することができる。これは、上記ボイドは、下地高誘電率膜の H f 濃度と共に、その密度が低下するからである。図 8 は、シリケート膜の
10 表面 H f 濃度に対するボイドの密度を示すグラフである。横軸は、H f 濃度を % 単位で示す。縦軸は、H f 濃度が 1 0 0 % の場合のボイド面密度を 1 としてボイドの密度を示している。H f 濃度が低下するに伴いボイド密度は急速に減少する。図 8 のグラフから明らかなように、シリケート膜上の膜での H f 組成が 0 . 5 以下であれば、ボイド
15 が急激に減少し、界面におけるボイド等の欠陥によるデバイスの特性劣化を顕著に改善することができる。また、このようなデバイス特性への影響をできる限り抑制するためには、H f 組成が 0 . 3 以下であることが望ましいことも明らかである。

尚、以上では、電極が p o l y - S i である場合について述べた
20 が、この電極と同様にシランを含む原料ガスを用いて形成される p o l y - S i G e 電極についても、p o l y - S i G e 膜を高誘電率膜の上に堆積させる場合には、本発明のシリケート絶縁膜によって電極と高誘電率膜の界面における構造的欠陥が抑制される。

また、上記では、H f シリケート膜上に p o l y - S i 膜を堆積する
25 場合について述べたが、Z r シリケート膜上に p o l y - S i 膜が p o l y - S i G e 膜を堆積する場合にも、界面での Z r 濃度が高いと界面にボイドが発生し、界面での Z r 濃度を低くするとボイドの発

生が抑制される。これは、シリケート膜表面金属濃度が高い場合には、界面にボイドが発生しやすくなることを示している。従って、同様な現象は、シリケートに含まれる金属が Zr, Hf, Ti, Ta, Al, Nb, Sc, Y, La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu 等でも起きると考えられる。

このように本発明では、応用上の課題となっていた金属シリケート膜の組成設定における種々のトレードオフの関係を解消しつつ、界面電気特性の高品質化とゲート絶縁膜の高誘電率化、さらには熱安定性の改善を同時に実現し、デバイス作製上好ましい高誘電率ゲート絶縁膜を提供することが可能となる。

また、上記と同じ理由により、本発明に係る金属シリケート膜をポリシリコン膜を電極とするキャパシタの誘電体膜として用いる場合にも、界面特性を改善しつつ高い誘電率を実現でき、かつ耐熱性を向上させることができる。

従って、本発明に係る半導体装置は、金属酸化物あるいは金属シリケートを有する高誘電率膜をゲート絶縁膜ないし容量絶縁膜として用いるデバイスであって、高誘電率膜中のシリコン組成が膜厚方向で変調された構造である。高誘電率膜を有する構造中の各々の界面については、シリコン基板ないしポリシリコン（ポリシリコンゲルマニウム）下部電極との接合側でゲート絶縁膜中のシリコン組成が増大しており、かつ、ゲート電極ないしポリシリコン（ポリシリコンゲルマニウム）上部電極との接合側でゲート絶縁膜中のシリコン組成が増大している。

次に、本発明に係る半導体装置の製造方法としては、CVD（Chemical Vapor Deposition）法にて膜が形成されるとき、成膜初期ではシリコン原料ガス比が高く設定され、膜中央部分の成膜時には金属

原料ガス比が高く設定される。その後、成膜の最終段階で再びシリコン原料ガス比が高く設定される。成膜後、膜質の改善のために熱処理を施すことが望ましい。500～900℃で10sec.～10min.間、酸化性または不活性雰囲気で、熱処理が行われることが好ましい。このようなガス供給比を変える成膜方法は、連続的なCVD成膜に加えて、各層の堆積を原子あるいは分子層毎に行う Atomic Layer Deposition (ALD) 法においてガス吸着層形成時のシリコンおよび金属原料ガス比を変化させる場合についても有効である。

尚、成膜後に、膜質改善のために熱処理を施すことが望ましい。好ましい熱処理条件は、500～900℃、10sec.～10min.で、酸化性あるいは不活性雰囲気である。

本発明において用いられる好ましい金属シリケートは、高誘電率金属酸化物を構成する金属のシリケート、希土類元素のシリケート、ランタノイド系元素のシリケート、すなわち、ZrSiO₄、HfSiO₄、TiSiO₄、TaSiO₄、AlSiO₃、NbSiO₄、ScSiO₃、YSiO₃、LaSiO₃、CeSiO₃、PrSiO₃、NdSiO₃、SmSiO₃、BaSiO₃、GdSiO₃、TbSiO₃、DySiO₃、HoSiO₃、ErSiO₃、TmSiO₃、YbSiO₃、LuSiO₃等である。

次に、より具体的に、本発明の第1実施例による半導体装置について図面を参照して説明する。

図4Aから4Cは、本発明の第1実施例による半導体装置の製造方法を示す断面図である。まず、図4Aに示されるように、p型シリコン基板201の表面を洗浄した後、フッ酸処理を行って基板表面の酸化膜を取り除く。

次に、図4Bに示されるように、p型シリコン基板201は反応炉内に導入され、原料ガスとしてZrCl₄、SiCl₄を用い、酸化剤

として H_2O を用い、ゲート絶縁膜となる 4 nm の膜厚を有するジルコニウムシリケート膜 202 が形成される。その際に、成膜の初期と終期には $SiCl_4$ の流量を多くし、 $ZrCl_4$ の流量を 0 にする。また、成膜中期には $SiCl_4$ の流量を最小にし、 $ZrCl_4$ の流量を最大にする。成膜の初期と中期の間、中期と終期の間では、 $SiCl_4$ の流量と $ZrCl_4$ の流量の両方又は一方を徐々に変化させ、膜下層部および上層部では SiO_2 、膜中央部で $Zr_{0.9}Si_{0.1}O_2$ の組成で、その間で組成が連続的に変化するシリケート膜を得る。成膜後、膜質改善のために酸素雰囲気中で、 550°C の温度で、 1 分間の熱処理を行う。続いて、ジルコニウムシリケート膜 202 上に減圧CVD法により 600 nm の膜厚を有するポリシリコン膜 $203a$ を成膜する。

次に、図 $4C$ に示されるように、ポリシリコン膜 $203a$ とジルコニウムシリケート膜 202 はパターニングされ、ゲート電極 203 を形成する。ゲート電極 203 をマスクとしてヒ素がイオン注入され、ソース・ドレイン領域となる n 型拡散領域 204 を形成する。

こうして製造されたMOSFETデバイスについてゲート絶縁膜容量ならびに電流－電圧特性を評価した。その結果、シリコン酸化膜換算膜厚は 1.5 nm であり、またゲート絶縁膜を流れるリーク電流成分は同一換算膜厚のシリコン酸化膜に対して約 3 桁低減していることが分かった。

図 $5A$ から $5C$ は、本発明の第 2 実施例による半導体装置を製造する方法を示す断面図である。図 6 は、第 2 実施例で用いられる成膜装置(MOCVD装置)の断面図である。第 2 実施例の半導体装置では、図 6 に示される成膜装置を用いて階段状に組成が変化するタンタルシリケート膜が形成される。

図 6 に示されるように、成膜室 1 内の基板台 2 上には基板 3 が載置される。バブラー 4 内には有機金属である $Ta[N(C_2H_5)_2]_4$

5 が、またバブラー 6 内には $\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_4$ 7 が収容されている。バブラー 4 内にはマスフローコントローラ 8 a を介して H_2 が供給され、バブラー 6 内にはマスフローコントローラ 8 c を介して H_2 が供給されている。成膜室内にはマスフローコントローラ 8 b を介して O_2 が供給されている。成膜室 1 内のガスは排気ポンプ 9 により排気される。

図 5 A から 5 C に示されるフローに従って、説明する。まず、図 5 A に示されるように、表面領域内に n 型拡散領域 3 0 2 を有する p 型シリコン基板上に層間絶縁膜 3 0 3 が形成される。層間絶縁膜 3 0 3 に n 型拡散領域 3 0 2 に到達するコンタクトホールが開口される。次に、コンタクトホール内にタングステンが埋め込まれ、導電性プラグ 3 0 4 が形成される。ポリシリコンの堆積とそのパターニングにより、導電性プラグ 3 0 4 に接する下部電極 3 0 5 が形成される。

次に、基板は、図 6 に示される成膜室内に載置される。その後、基板温度が 400°C にされ、マスフローコントローラ 8 b を介して NO ガスが 50 sccm の流量で供給される。同時に、マスフローコントローラ 8 a を介して H_2 が 1 sccm の流量で、マスフローコントローラ 8 c を介して H_2 が 10 sccm の流量で供給され、 1 nm の膜厚を有するシリコン高濃度層 3 0 6 a が形成される。

20 続いて、マスフローコントローラ 8 b を介しての NO の供給流量は 50 sccm に保持されたまま、マスフローコントローラ 8 a を介しての H_2 の流量は 10 sccm に設定され、マスフローコントローラ 8 c を介しての H_2 の流量は 1 sccm に設定される。こうして、 2 nm の膜厚を有するシリコン低濃度層 3 0 6 b が形成される。その後、シリコン高濃度層 3 0 6 a が形成されたときと同じ条件で 1 nm の膜厚を有するシリコン高濃度層 3 0 6 c が形成される。こうして、タンタルシリケート膜 3 0 6 の成膜が完了する。

その後、図 5 C に示されるように、膜質の改善のために窒素雰囲気
中で 550℃ の温度で、5 分間熱処理が行われる。続いて、タンタル
シリケート膜 306 上に減圧 CVD 法により膜厚 600 nm のポリシ
リコン膜が成膜され、パターニングされ、キャパシタの上部電極 30
5 7 が形成される。

このようにして形成された容量絶縁膜では、シリコン酸化膜換算膜
厚は 2.0 nm であり、容量絶縁膜を流れるリークカレントはシリコ
ン酸化膜に対して約 2 桁低減する。

以上、本発明について説明したが、本発明はこれらに限定されるも
10 のではない。当業者には、本発明の要旨を逸脱しない範囲内において
適宜の変更が可能であろう。例えば、金属シリケート膜上に形成され
る導電層は、必ずしもポリシリコン膜である必要はなく、ポリサイド
膜やシリサイド膜などであってもよい。また、シリコン（金属）組成
が階段状に変化している場合、膜の上層側および下層側のそれぞれに
15 複数の組成変化点があってもよい。さらに、成膜方法も CVD 以外の
成膜方法、例えばスパッタ法等を用いることも出来る。スパッタ法を
用いる場合、マルチターゲット（例えば、Zr ターゲットと SiO₂ タ
ーゲット）を用いたスパッタ法が有利に採用される。

以上説明したように、本発明の金属シリケート膜は、膜中央部で金
20 属組成が高く、膜の下層部と上層部でシリコン組成が高められてい
る。従って、本発明によれば、シリコン酸化膜に対して高い誘電率を
有し、かつ金属酸化物からなる高誘電率薄膜に比べて優れた界面電気
特性と熱安定性を有するシリケート絶縁膜を有する半導体装置の作製
が可能となる。また、高性能かつ低消費電力の MOSFET や高性能
25 容量素子を実現することができる。

請求の範囲

1. 金属シリケート膜を絶縁膜として有し、前記金属シリケートは、下層部、中央部及び上層部を有し、

前記金属シリケート膜中のシリコン濃度が、前記上層部において、

5 前記中央部より高い半導体装置。

2. 金属シリケート膜を絶縁膜として有し、前記金属シリケートは、下層部、中央部及び上層部を有し、

前記金属シリケート膜中のシリコン濃度が、前記下層部と前記上層

10 部において、前記中央部より高い半導体装置。

3. 基板と、前記基板の直接上あるいは間接的に上に形成された絶縁膜を具備し、

前記絶縁膜は、金属シリケート膜を含み、前記金属シリケートは、

15 下部、中央部及び上部を有し、

前記金属シリケート膜中のシリコン濃度は、前記中央部で、前記上部および前記下部より高い半導体装置。

4. 請求項3に記載の半導体装置であって、

20 前記基板は、シリコン基板であり、

前記金属シリケート膜は、前記基板に直接接している半導体装置。

5. 請求項3に記載の半導体装置であって、

前記金属シリケート膜は、ポリシリコン膜、ポリサイド膜およびシ

25 リサイド膜のうちの少なくとも1つを介して前記基板に接している半導体装置。

6. 請求項 4 又は 5 に記載の半導体装置であって、

前記基板上に形成された拡散層を更に具備し、前記絶縁膜は、ゲート酸化膜として機能する半導体装置。

5 7. 請求項 3 に記載の半導体装置であって、

前記絶縁膜は、層間絶縁膜を介して前記基板上に形成され、

前記絶縁膜が、キャパシタのための容量性絶縁膜である半導体装置。

10 8. 請求項 3 乃至 7 のいずれかに記載の半導体装置であって、

前記絶縁膜の上表面に接して形成された導電膜を更に具備する半導体装置。

9. 請求項 8 に記載の半導体装置であって、

15 前記金属シリケート膜は、前記導電膜に接している半導体装置。

10. 請求項 8 または 9 に記載の半導体装置であって、

前記導電膜の前記金属シリケート膜に接する部分は、ポリシリコン、ゲルマニウム、ポリシリコン、ポリサイドおよびシリサイドのうちの
20 1 つによって形成されている半導体装置。

11. 請求項 3 乃至 10 のいずれかに記載の半導体装置であって、

前記金属シリケート膜中のシリコン濃度が連続的に変化している半導体装置。

25

12. 請求項 3 乃至 10 のいずれかに記載の半導体装置であって、

前記金属シリケート膜中のシリコン濃度が階段状に変化している半

導体装置。

13. 請求項3乃至12のいずれかに記載の半導体装置であって、

前記金属シリケート膜は、Zr、Hf、Ti、Ta、Al、Nb、
5 Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luからなるグループの内の1又は複数の元素を含んでいる半導体装置。

14. シリコンを含む第1材料ガスを第1流量で供給し、少なくとも
10 も1つの金属元素を含む第2材料ガスを第2流量で供給して半導体基板上に金属シリケート膜の形成を開始するステップ(a)と、

前記第1材料ガスの流量を前記第1流量から第3流量に変え、前記第2材料ガスの流量を前記第2流量から第4流量に変えて、前記半導体基板上に前記金属シリケート膜の形成を継続するステップ(b)と
15 を具備し、

前記第1流量と前記第2流量の比は、前記第3流量と前記第4流量比より大きい
半導体装置の製造方法。

20 15. 請求項14に記載の半導体装置の製造方法において、

前記第1材料ガスの流量を前記第3流量から第5流量に変え、前記第2材料ガスの流量を前記第4流量から第6流量に変えて前記半導体基板上に前記金属シリケート膜の形成を完了するステップ(c)を更に具備し、

25 前記第3流量と前記第4流量の比は、前記第5流量と前記第6流量比より小さい
半導体装置の製造方法。

16. 請求項14又は15に記載の半導体装置の製造方法において、

前記ステップ(c)の後、前記金属シリケート膜の熱処理を行うステップ

5 を更に具備する半導体装置の製造方法。

17. 請求項14乃至16のいずれかに記載の半導体装置の製造方法において、

前記第1材料ガスは、前記第1流量から前記第3流量に連続的に変
10 えられ、前記第2材料ガスは、前記第2流量から前記第4流量に連続的に変えられる
半導体装置の製造方法。

18. 請求項14乃至16のいずれかに記載の半導体装置の製造方
15 法において、

前記第1材料ガスは、前記第1流量から前記第3流量にステップ状
に変えられ、前記第2材料ガスは、前記第2流量から前記第4流量に
ステップ状に変えられる
半導体装置の製造方法。

20

19. 請求項18に記載の半導体装置の製造方法において、

前記第1材料ガスは、前記第3流量から前記第5流量に連続的に変
えられ、前記第2材料ガスは、前記第4流量から前記第6流量に連続
的に変えられる

25 半導体装置の製造方法。

20. 請求項15に記載の半導体装置の製造方法において、

前記第 1 材料ガスは、前記第 3 流量から前記第 5 流量にステップ状に変えられ、前記第 2 材料ガスは、前記第 4 流量から前記第 6 流量にステップ状に変えられる
半導体装置の製造方法。

5

21. 請求項 14 乃至 19 のいずれかに記載の半導体装置の製造方法において、

前記第 2 材料ガスは、Zr、Hf、Ti、Ta、Al、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、
10 Ho、Er、Tm、Yb、Lu からなるグループの内の 1 又は複数の元素を含む
半導体装置の製造方法。

22. 半導体基板と、

15 ゲート絶縁膜として前記半導体基板上に形成された金属シリケート膜と、

前記金属シリケート膜上に形成されたゲート電極とを具備し、

前記金属シリケート膜の誘電率は、前記金属シリケート膜の厚さ方向に変化していて、中央部において最も大きい
20 半導体装置。

23. 請求項 22 に記載の半導体装置において、

前記金属シリケート膜は、シリコンのバンドギャップより大きいバンドギャップを有し、
25

前記金属シリケート膜は、下部層、中央部層、上部層を具備し、

前記下部層と前記上部層の各々のバンドギャップは、前記中央部層

のそれより大きく、前記中央部層の誘電率は、前記下部層と前記上部層の誘電率よりおおきい
半導体装置。

5 24. 請求項22又は23に記載の半導体装置において、
前記誘電率は連続的に変化している
半導体装置。

25. 請求項22又は23に記載の半導体装置において、
10 前記誘電率はステップ状に変化している
半導体装置。

26. 半導体基板に形成された絶縁膜と、
前記絶縁膜上形成された下部電極と、
15 前記下部電極上に形成された金属シリケート膜と、
前記金属シリケート膜上に形成された上部電極と
を具備し、
前記金属シリケート膜の誘電率は、前記金属シリケート膜の厚さ方向に変化していて、中央部において最も大きい
20 半導体装置。

27. 請求項26に記載の半導体装置において、
前記誘電率は連続的に変化している
半導体装置。

25

28. 請求項26に記載の半導体装置において、
前記誘電率はステップ状に変化している

半 導 体 装 置。

Fig. 1

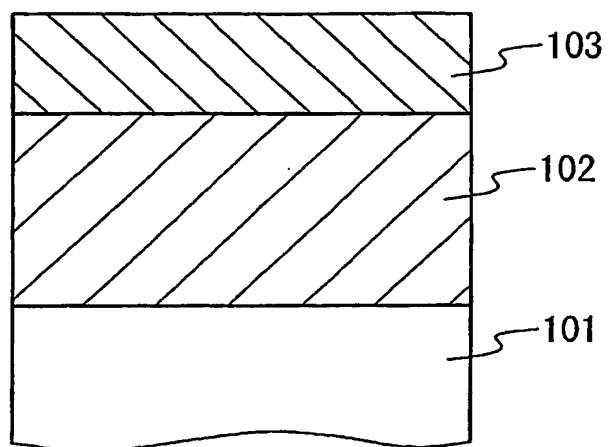


Fig. 2

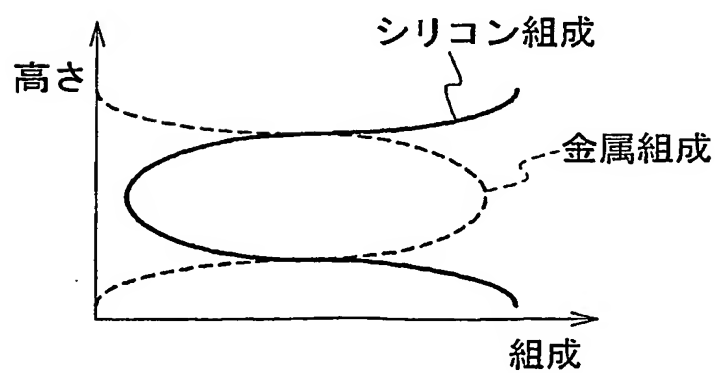


Fig. 3

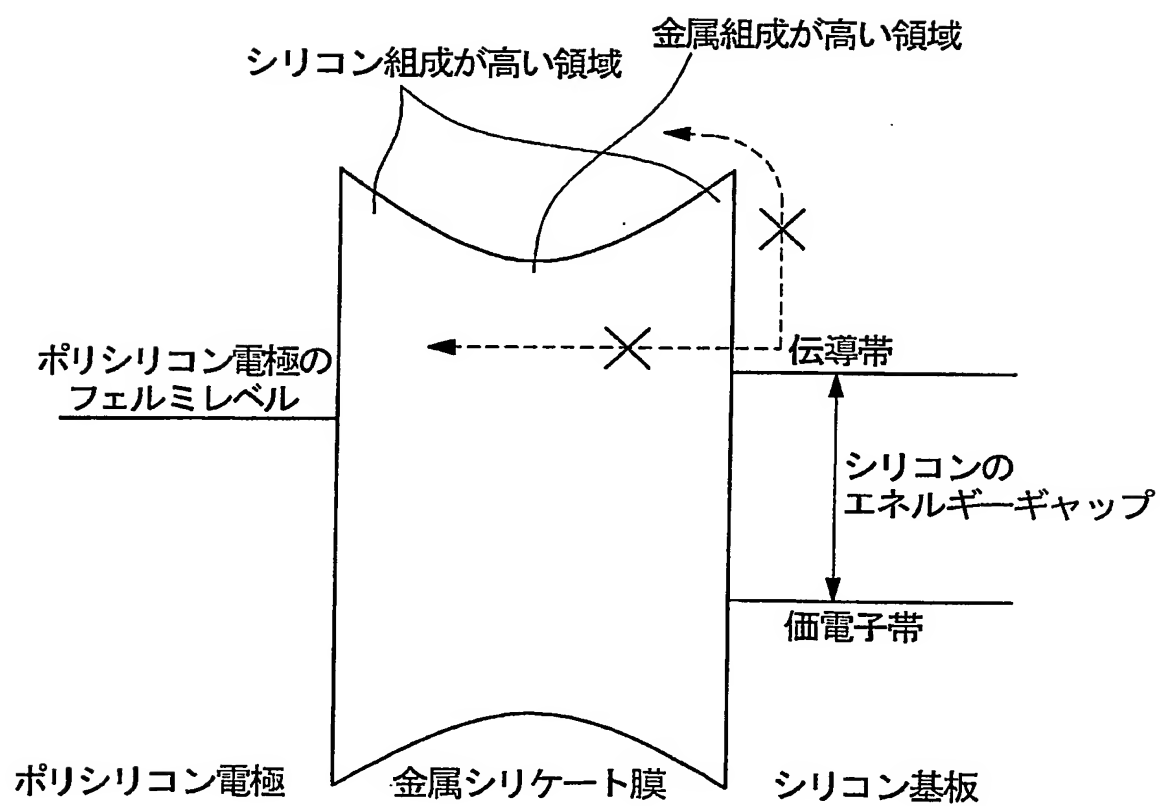


Fig. 4A

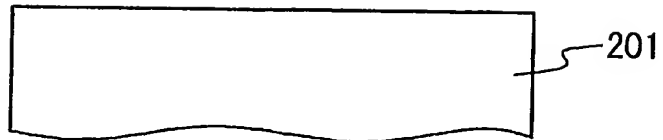


Fig. 4B

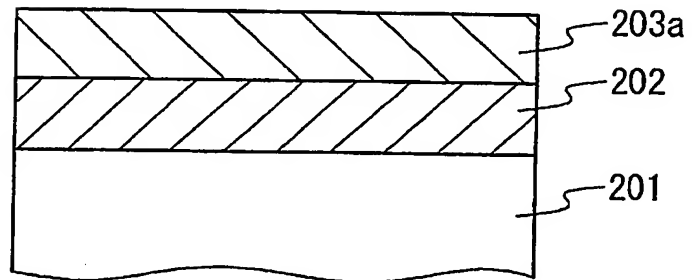


Fig. 4C

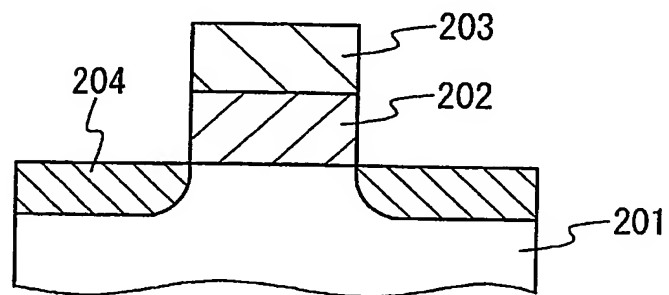


Fig. 5A

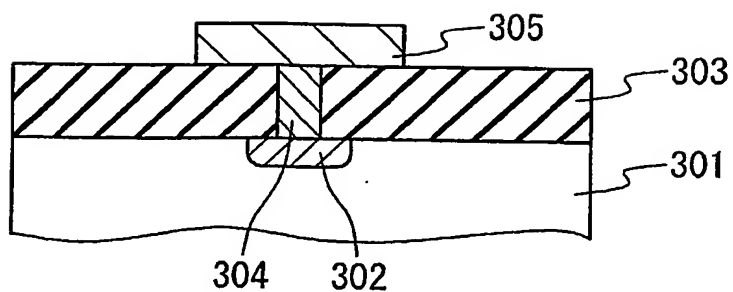


Fig. 5B

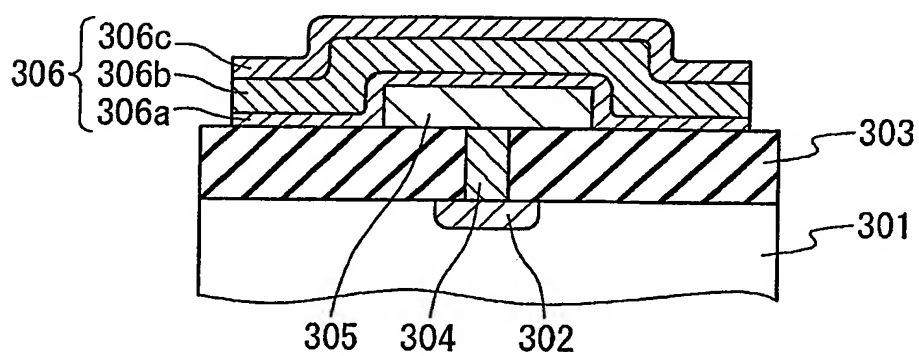


Fig. 5C

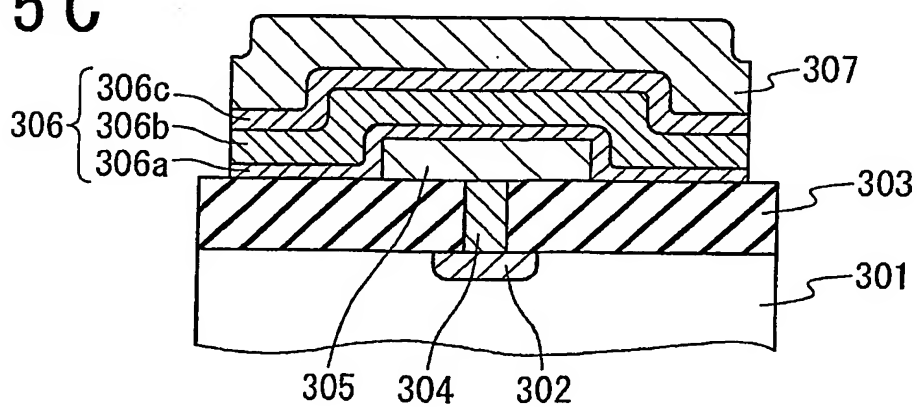


Fig. 6

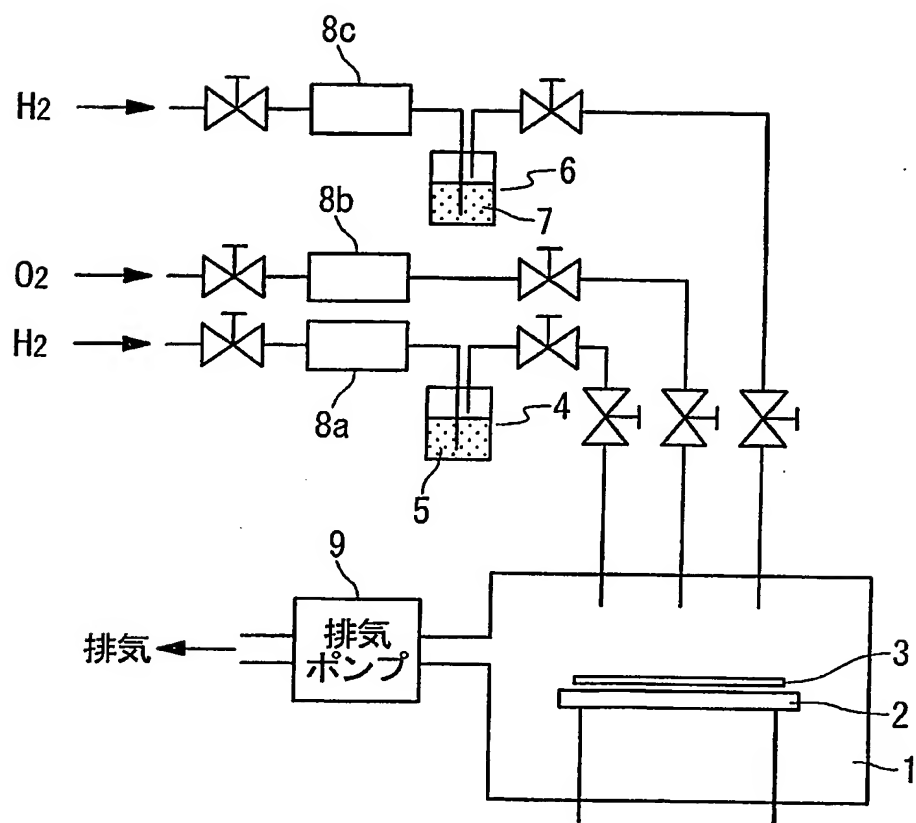


Fig. 7A



Fig. 7B

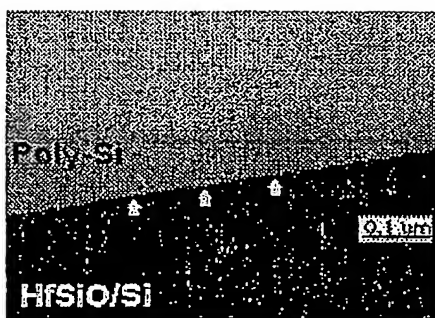


Fig. 7C

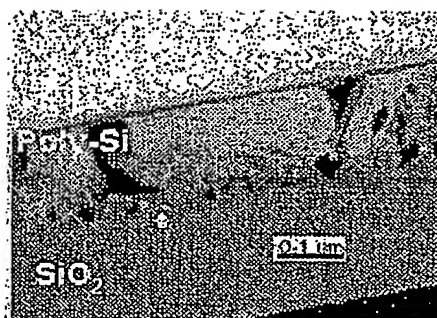
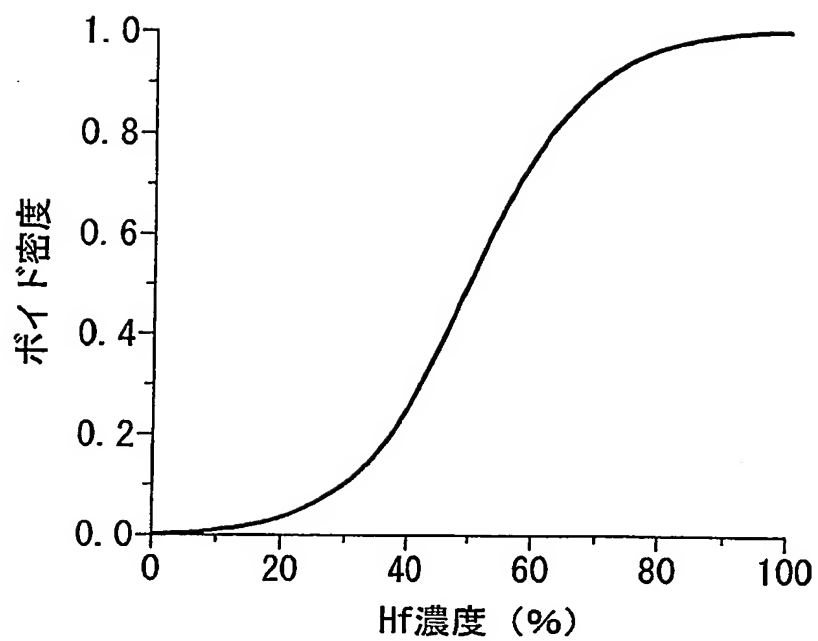


Fig. 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08453

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/312-21/318, 29/78Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-217238 A (Matsushita Electric Industrial Co., Ltd.), 10 August, 2001 (10.08.01), (Family: none)	1-28
A	US 6020243 A (Texas Instruments Inc.), 01 February, 2000 (01.02.00), & JP 2000-49349 A	1-28

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 November, 2002 (13.11.02)Date of mailing of the international search report
26 November, 2002 (26.11.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L21/316

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L21/312-21/318, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-217238 A (松下電器産業株式会社) 2001.08.10, (ファミリーなし)	1-28
A	US 6020243 A (Texas Instruments Incorporated) 2000.02.01, & JP 2000-49349 A	1-28

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

13.11.02

国際調査報告の発送日

26.11.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4R

9539

電話番号 03-3581-1101 内線 3469

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.